



19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

12 Offenlegungsschrift
10 DE 101 50 536 A 1

51 Int. Cl. 7:
H 04 L 7/033
H 04 L 25/20

21 Aktenzeichen: 101 50 536.1
22 Anmeldetag: 12. 10. 2001
43 Offenlegungstag: 30. 4. 2003

DE 101 50 536 A 1

71 Anmelder:
Infineon Technologies AG, 81669 München, DE
74 Vertreter:
Patent- und Rechtsanwälte Kraus & Weisert, 80539 München

72 Erfinder:
Gregorius, Peter, 81476 München, DE; Hinz, Torsten, 41468 Neuss, DE

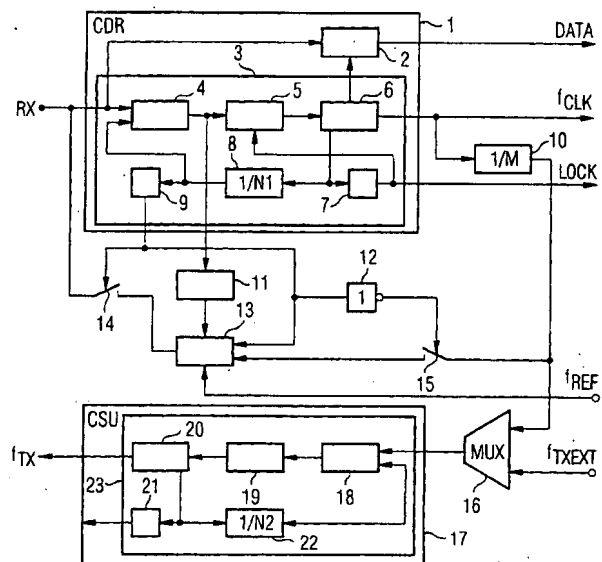
56 Entgegenhaltungen:
DE 44 91 211 T1
EP 11 04 113 A2
EP 10 06 662 A2
Japan Abstract zu JP 2001223683 A;

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Vorrichtung zur Rekonstruktion von Daten aus einem empfangenen Datensignal sowie entsprechende Sende- und Empfangsvorrichtung

57 In einer Sende- und Empfangsanordnung, welche insbesondere zur optischen Datenübertragung ausgestaltet ist, ist eine Vorrichtung zur Rekonstruktion von Daten aus einem empfangenen Datensignal (RX) mit einer Taktrückgewinnungseinheit (3) zur Rückgewinnung eines Takts der übertragenen Daten aus dem empfangenen Datensignal und einer Datenrekonstruktionseinheit (2) zur Rekonstruktion der übertragenen Daten aus dem Datensignal unter Verwendung des rückgewonnenen Takts (f_{CLK}) und zur Ausgabe eines dem rückgewonnenen Takt synchronen Datenstroms (DATA) vorgesehen. Eine Detektorinheit (9) erkennt einen Fehlerzustand des empfangenen Datensignals (RX), welcher keine zuverlässige Datenrekonstruktion ermöglicht, wobei Schaltungsmittel mit einem digitalen Phasenregelkreis (13) vorgesehen sind, um in diesem Fall einem Phasenregelkreis der Taktrückgewinnungseinheit (3) an Stelle des empfangenen Datensignals als Referenzsignal ein Signal mit einem Takt zuzuführen, welcher dem Mittelwert des zuvor von der Taktrückgewinnungseinheit (3) rückgewonnenen Takts (f_{CLK}) entspricht, so dass auch in diesem Fall ein ordnungsgemäßes Weiterschwingen des Phasenregelkreises der Taktrückgewinnungseinheit (3) gewährleistet ist.



DE 101 50 536 A 1

[0001] Die vorliegende Erfindung betrifft eine Vorrichtung zur Rekonstruktion von Daten aus einem empfangenen Datensignal, um die über eine Übertragungsstrecke übertragenen Daten des Datensignals, insbesondere in Form von nicht gescrambelten Daten, rekonstruieren zu können. Darüber hinaus betrifft die vorliegende Erfindung eine Send- und Empfangsanordnung ("Transceiver"), in dessen Empfangseinheit eine derartige Datenrekonstruktionsvorrichtung verwendet wird.

[0002] Bei digitalen Festnetz-Übertragungssystemen werden digitale Daten in Form von rechteck- oder trapezförmigen Impulsen in ein Übertragungskabel, üblicherweise ein Kupferkabel oder ein Glasfaserkabel, eingespeist und am anderen Ende des Kabels mit einem Empfänger empfangen. Dabei wird das Datensignal in Folge der Übertragung bezüglich der Amplitude gedämpft sowie bezüglich der Phasenlage und der Gruppenlaufzeit verzerrt, wobei es zusätzlich durch nieder- und hochfrequente Störungen überlagert werden kann. Das am Empfänger ankommende verzerrte Signal muss demzufolge in dem Empfänger verstärkt und entzerrt werden, ehe eine Rekonstruktion bzw. Rückgewinnung der in Form des Datensignals übertragenen Daten möglich ist. Hierzu umfassen bekannte Empfänger einen eingangsseitigen Verstärker, einen dem Verstärker nachgeschalteten Verzerrer ("Equalizer"), eine Taktrückgewinnungseinheit zum Regenerieren bzw. Rückgewinnen des Takts der gesendeten Daten und eine Datenrekonstruktionseinheit zum Rekonstruieren der ursprünglich übertragenen Daten, wobei von der Datenrekonstruktionseinheit ein zu dem regenerierten bzw. rückgewonnenen Takt synchroner Datenstrom geliefert wird. Die zuvor erläuterten Taktrückgewinnungs- und Datenrekonstruktionseinheiten sind üblicherweise in einer als "Clock and Data Recovery Unit (CDR)" bezeichneten Schaltung zusammengefasst.

[0003] Zur Taktrückgewinnung und Datenrekonstruktion wird bisher überwiegend eine in "Mixed Signal"-Schaltungstechnik ausgestaltete CDR-Einheit verwendet, welche somit sowohl analoge als auch digitale Schaltungskomponenten aufweist, wobei dieser CDR-Einheit das analoge, vorher entzerrte bzw. gefilterte Datensignal zugeführt wird. Dieses Datensignal wird in der CDR-Einheit beispielsweise mit einem analogen, auf SC-Schaltungstechnik ("Switched Capacitor") basierenden Phasendetektor hinsichtlich seiner Phase bewertet, um somit daraus den Takt der gesendeten Daten mit Hilfe eines entsprechenden Phasenregelkreises ableiten zu können. Dieses Prinzip beruht auf einer Überabtastung des empfangenen Datensignals und hat somit hohe Anforderungen an die analoge Schaltungstechnik zur Folge. Darüber hinaus ist bei diesem Prinzip zur Bewertung das volle Datensignal notwendig, welches zudem in seiner Amplitude stabil sein muss.

[0004] Bei rein digital ausgestalteten CDR-Schaltungen wird das empfangene Datensignal zunächst mit Hilfe eines Komparators digitalisiert, wobei die dem Komparator nachfolgende CDR-Schaltung ausschließlich die Flanken des digitalisierten Datensignals bewertet, um mit Hilfe eines digitalen Phasenregelkreises den Takt der gesendeten Daten regenerieren zu können. Rein digital ausgestaltete CDR-Schaltungen haben jedoch oftmals relativ extreme Phasensprünge innerhalb der CDR-Schaltung zur Folge, wodurch unter Umständen die durch den jeweiligen Datenübertragungsstandard vorgegebenen Jitter-Anforderungen nicht erfüllt werden können.

[0005] Ein weiterer Lösungsansatz ist schematisch in Fig. 2 dargestellt.

[0006] Dabei ist eine digital ausgestaltete CDR-Schaltung

1 zur Taktrückgewinnung und Datenrekonstruktion aus einem empfangenen Datensignal RX dargestellt. Die digitale CDR-Einheit 1 regeneriert unter Verwendung eines digitalen Phasenregelkreises, dem das digitalisierte Datensignal RX als Referenzsignal zugeführt ist, den Takt der ursprünglich gesendeten Daten, so dass unter Verwendung des somit regenerierten Takts aus dem empfangenen Datensignal RX die ursprünglich gesendeten Daten DATA rekonstruiert werden können.

[0007] In Send- und Empfangsanordnungen ("Transceiver") ist nicht nur ein Empfangsteil mit einer CDR-Einheit der zuvor beschriebenen Art, sondern auch ein Sendeteil zur Übertragung von Daten mit einer bestimmten Taktfrequenz vorgesehen. Diesem Sendeteil ist eine als "Clock Synthesizer Unit" bezeichnete Einheit 17 zugeordnet, welche in Abhängigkeit von dem von der CDR-Einheit 1 regenerierten Takt den Sendetakt f_{TX} für die Datenübertragung ableitet. Diese CSU-Einheit umfasst analog zu der CDR-Einheit in der Regel einen Phasenregelkreis, dem der von der CDR-Einheit 1 wiedergewonnene Takt bzw. ein daraus abgeleiteter Takt f_{CLK} als Referenztakt zugeführt ist. Auf Grund der hohen Anforderungen, welche an die CSU-Einheit 17 hinsichtlich Eigenjitter gestellt werden, ist bei der in Fig. 2 dargestellten bekannten Lösung ein weiterer Phasenregelkreis ("Phase Locked Loop (PLL)") 3 zur Jitter-Dämpfung vorgesehen, welcher den von der CDR-Einheit 1 wiedergewonnenen Takt aufbereitet und entjittert, ehe dieser entjitterte Takt f_{CLK} der CSU-Einheit 17 zur Generierung des Sendetakts f_{TX} zugeführt wird. Der Phasenregelkreis 3 kann in "Mixed Signal"-Schaltungstechnik ausgestaltet sein.

[0008] Bei dem in Fig. 2 dargestellten Beispiel ist zusätzlich ein Multiplexer 16 vorgesehen, mit dem an Stelle des von dem Phasenregelkreis 3 ausgegebenen Takts f_{CLK} ein externer Referenztakt f_{TEXT} als Referenztakt für die CSU-Einheit 17 ausgewählt werden kann. Bei dem externen Takt f_{TEXT} kann es sich beispielsweise um einen Takt handeln, welcher zwar auf den von der CDR-Einheit 1 wiedergewonnenen Takt zurückgeht, jedoch extern aufbereitet worden ist.

[0009] Der Nachteil der in Fig. 2 dargestellten Lösung besteht darin, dass insgesamt drei Phasenregelkreise benötigt werden, so dass die Implementierung relativ aufwändig und der Flächen- und Leistungsbedarf relativ hoch ist. Zudem ist die Empfindlichkeit der in Fig. 2 dargestellten Schaltung auf Grund der mangelnden Isolation zwischen der einzelnen Phasenregelkreisen gegenüber Rauschen bzw. internen und externen Störern relativ hoch.

[0010] Allgemein sind die Anforderungen an die Taktrückgewinnung und Datenrekonstruktion, welche sich aus dem jeweils implementierten Datenübertragungsstand ergeben, hoch. So muss beispielsweise die Taktrückgewinnung auch bei Datenfolgen zuverlässig funktionieren, welche lange Nullfolgen oder während einer langen Zeitspanne keinen Flankenwechsel aufweisen (sog. NRZ-Daten ("Non Return To Zero")). Die von dem jeweiligen Datenübertragungsstandard vorgegebene Jittertoleranz und Bitfehlerrate ("Bit Error Rate", BER) müssen eingehalten werden. Hinsichtlich der von der CSU-Einheit ausgeführten Taktgenerierung sind strenge Anforderungen an Jitter-Unterdrückung bzw. ein geringes Eigenjitter einzuhalten. Allgemein sollte die Taktrückgewinnung und Datenrekonstruktion sowohl für gescrambelte Daten als auch für nicht gescrambelte Daten funktionieren.

[0011] Besonders hohe Anforderungen sind an die Takt- bzw. Frequenzstabilität für den Fall gestellt, dass das empfangene Datensignal, d. h. der ankommende Datenstrom, überhaupt nicht vorhanden ist oder keinen ausreichenden Pegel aufweist bzw. keine ausreichend hohe Anzahl an Übertragungen vorhanden ist (sog. "Loss of Signal"-Zu-

stand), so dass in der CDR-Einheit durch Auswertung des empfangenen Datensignals keine zuverlässige Taktrückgewinnung bzw. Datenrekonstruktion möglich ist. Insbesondere muss in diesem Fall sichergestellt sein, dass der in der CDR-Einheit enthaltene Phasenregelkreis auch bei Auftreten dieses "Loss of Signal"-Fehlerzustands weiterläuft.

[0012] Der vorliegenden Erfindung liegt daher die Aufgabe zu Grunde, eine Vorrichtung zur Rekonstruktion von Daten aus einem empfangenen Datensignal bereitzustellen, mit welcher auf möglichst einfache Art und Weise die zuvor erläuterten Anforderungen eingehalten werden können und insbesondere auch bei Auftreten des "Loss of Signal"-Zustands ein Weiterlaufen des in der CDR- bzw. Takt- und Datenrekonstruktionseinheit enthaltenen Phasenregelkreises sichergestellt ist.

[0013] Diese Aufgabe wird erfindungsgemäß durch eine Vorrichtung zur Rekonstruktion von Daten mit den Merkmalen des Anspruchs 1 gelöst. Die Unteransprüche definieren jeweils bevorzugte und vorteilhafte Ausführungsformen der vorliegenden Erfindung.

[0014] Erfindungsgemäß wird der "Loss of Signal"-Fehlerzustand, in dem keine zuverlässige Rekonstruktion der Daten durch Auswertung des empfangenen Datensignals möglich ist, erkannt, wobei Schaltungsmittel vorgesehen sind, welche in diesem Fall dem Phasenregelkreis der Datenrekonstruktionseinheit als Referenzsignal einen Takt zuführen, welcher über eine bestimmte Anzahl von vorhergehenden Datenübertragungen dem mittleren rückgewonnenen Takt der Taktrückgewinnungseinheit entspricht. Die Taktrückgewinnungseinheit und die Datenrekonstruktionseinheit können in einer gemäß der "Mixed Signal"-Schaltungstechnik aufgebauten CDR-Schaltung enthalten sein, wobei die Taktrückgewinnungseinheit einen analogen spannungs- oder stromgesteuerten Oszillator ("Voltage Controlled Oscillator (VCO)", "Current Controlled Oscillator (CCO)") mit einem digitalen Frequenzteiler in der Rückkopplung des jeweiligen Phasenregelkreises, einem digitalen Phasendetektor, einer analogen Ladungspumpe und einem Schleifenfilter mit Integral- und Proportionalanteil enthalten kann. Als Detektoreinheit zur Erkennung des "Loss of Signal"-Fehlerzustands kann beispielsweise ein mit diesem Phasenregelkreis gekoppelter Frequenzkomparator mit integrierter "Loss of Signal"-Erkennung verwendet werden.

[0015] Als Schaltungsmittel, welche gewährleisten, dass bei der Erkennung des "Loss of Signal"-Fehlerzustands (vorübergehend) eine bestimmte durchschnittliche Taktfrequenz dem Phasenregelkreis der CDR-Einheit als Referenzfrequenz zugeführt wird, so dass dieser Phasenregelkreis wie bei einem vorhandenen Datenstrom weiterlaufen kann, kann ein einfacher digitaler Phasenregelkreis mit reiner I-Reglercharakteristik verwendet werden, so dass auf diese Weise auf ein frequenz- und phasenstabiles Referenzsignal für den Phasenregelkreis der CDR-Einheit umgeschaltet werden kann. Durch den reinen Integralanteil dieses digitalen Phasenregelkreises ist die Zeitkonstante der Frequenzdrift relativ hoch bzw. kann programmierbar ausgelegt werden. Auf Grund des Vorhandenseins eines mit einem hochfrequenten Grundtakt betriebenen digitalen Oszillators in dem digitalen Phasenregelkreis kann eine I-Reglercharakteristik mit einer relativ niedrigen Eckfrequenz erzielt werden.

[0016] Zur Vermeidung von Phasensprüngen bei Umschalten auf dieses Referenzsignal nach Erkennung des "Loss of Signal"-Fehlerzustands können Kompensationsmittel vorgesehen sein, welche derartige Verzögerungen bzw. Phasensprünge ausgleichen bzw. die Phase für den digitalen Phasenregelkreis derart manipulieren, dass in dem von dem Phasenregelkreis erzeugten Referenzsignal für den Phasenregelkreis der CDR-Einheit kein derartiger Phasen-

sprung auftritt.

[0017] Bei Anwendung der vorliegenden Erfindung in einer Sende- und Empfangsvorrichtung ("Transceiver") kann am Ausgang der CDR-Einheit ein Frequenzteiler zur Erzeugung verschiedener Takte vorgesehen sein, welche als Referenzsignal dem Phasenregelkreis der CSU-Einheit zugeführt werden können. Die CSU-Einheit, welche dem Sendeteil der Sende- und Empfangsvorrichtung zugeordnet ist, erzeugt abhängig von diesem Referenzsignal bzw. abhängig von dieser Referenzfrequenz die Sendefrequenz für die Übertragung von Daten. Die CSU-Einheit bzw. der darin implementierte Phasenregelkreis sind mit hohen Anforderungen an Eigenjitter ausgestaltet. Der Phasenregelkreis der CSU-Einheit kann insbesondere in "Mixed Signal"-Schaltungstechnik ausgestaltet sein.

[0018] Die vorliegende Erfindung eignet sich bevorzugt zur Rekonstruktion von Daten, welche über eine optische Übertragungsleitung, beispielsweise nach dem SONET-Übertragungsstandard, übertragen werden. Selbstverständlich ist die vorliegende Erfindung jedoch nicht auf den bevorzugten Anwendungsbereich einer optischen Datenübertragung beschränkt, sondern kann grundsätzlich zur Rekonstruktion von über eine beliebig ausgestaltete Übertragungsstrecke übertragenen Daten verwendet werden.

[0019] Mit Hilfe der vorliegenden Erfindung können die zur Datenrekonstruktion benötigten analogen Komponenten reduziert werden, so dass eine weitgehende Unabhängigkeit von Fertigungstoleranzen und eine leichte Übertragbarkeit der Erfindung auf andere Technologien möglich ist. Es werden lediglich zwei in ("Mixed Signal"-Schaltungstechnik) ausgestaltete Phasenregelkreise mit analogen Oszillatoren benötigt, so dass eine bessere Jitterperformance erzielt werden kann. Durch die Verwendung des digitalen Phasenregelkreises mit einer relativ großen Zeitkonstante und einer reinen I-Reglercharakteristik kann nach Erkennen des "Loss of Signal"-Fehlerzustands die geforderte Frequenzstabilität garantiert werden. Die erfindungsgemäß vorgeschlagene Vorrichtung zur Taktrückgewinnung und Datenrekonstruktion weist eine weitgehend parametrisierbare Signalverarbeitung bzw. programmierbare Eigenschaften auf, so dass die erfindungsgemäße Vorrichtung leicht an verschiedene Datenübertragungsstandards anpassbar ist.

[0020] Durch die Verwendung von lediglich zwei Phasenregelkreisen zur Taktrückgewinnung (in der CDR-Einheit) bzw. Takterzeugung (in der CSU-Einheit) kann die Leistungsaufnahme reduziert werden. Zudem ist im Gegensatz zu dem eingangs beschriebenen Stand der Technik der Ansatz mit zwei Phasenregelkreisen zur Taktrückgewinnung bzw. Takterzeugung robuster.

[0021] Nach Erkennung des "Loss of Signal"-Fehlerzustands wird durch den rein digital aufgebauten Phasenregelkreis mit dem reinen I-Anteil – wie bereits erwähnt worden ist – eine große Zeitkonstante erzeugt und somit die hohen Anforderungen an die Frequenzstabilität des von der CDR-Einheit generierten bzw. rückgewonnenen Taktes garantiert, wobei im Gegensatz zu analogen Ansätzen zur Erzielung dieser Zeitkonstante keine externen Bauteile bzw. analogen Schaltungen mit großer Leistungsaufnahme notwendig sind. Zudem wird zur Vermeidung von Phasensprüngen nach Erkennen des "Loss of Signal"-Fehlerzustands zusätzlich der in dem Phasenregelkreis der CDR-Einheit enthaltene Phasendetektor ausgewertet, um anschließend eine Phase mit geringster Phasendifferenz zum ursprünglichen Datenstrom auswählen zu können. Dies ist möglich, da der Takt im I-Regler des digitalen Phasenregelkreises in einer festen Phasenbeziehung zum zuvor von der CDR-Einheit bereitgestellten und rückgewonnenen Takt steht.

[0022] Die vorliegende Erfindung wird nachfolgend näher

anhand eines bevorzugten Ausführungsbeispiels unter Bezugnahme auf die beigefügte Zeichnung erläutert.

[0023] Fig. 1 zeigt ein vereinfachtes Blockschaltbild zur Erläuterung der vorliegenden Erfindung anhand eines bevorzugten Ausführungsbeispiels, und

[0024] Fig. 2 zeigt eine bekannte Taktrückgewinnungs- und Datenrekonstruktionsvorrichtung in Kombination mit einer Einheit zur Taktregenerierung in einem Transceiver-Bauteil gemäß dem Stand der Technik.

[0025] In Fig. 1 ist eine (nachfolgend der Einfachheit halber als CDR-Einheit bezeichnete) Schaltung zur Taktrückgewinnung und Datenrekonstruktion aus einem über eine Übertragungsstrecke, beispielsweise eine optische Übertragungsleitung, übertragenen Datensignal RX dargestellt. Die CDR-Einheit 1 umfasst eine Taktrückgewinnungseinheit 3 zur Regenerierung des Takts der gesendeten Daten aus dem empfangenen Datensignal RX und eine Datenrekonstruktionseinheit 2, um in Abhängigkeit von dem somit rückgewonnenen Takt aus dem empfangenen Datenstrom die ursprünglich gesendeten Daten zu rekonstruieren und einen zu dem rückgewonnenen Takt synchronen Datenstrom DATA auszugeben. Die CDR-Einheit 1 ("Clock and Data Recovery") ist in der sogenannten "Mixed Signal"-Schaltungstechnik ausgestaltet.

[0026] Die Taktrückgewinnungseinheit 3 umfasst einen Phasenregelkreis mit einem digitalen Phasendetektor 4, einer dem Phasendetektor 4 nachgeschalteten analogen Schaltungseinheit mit einer Ladungspumpe und einem Schaltungsfilter mit Integral- und Proportionalanteil, einen analogen stromgesteuerten Oszillator 6 und einen im Rückkopplungspfad des Phasenregelkreises angeordneten digitalen Frequenzteiler 8 mit dem Teilverhältnis 1/N. Der digitale Phasendetektor 4 vergleicht die Taktfrequenz des ihm zugeführten empfangenen Datensignals RX mit der Taktfrequenz des digitalen Frequenzteilers 8 und erzeugt abhängig von dem Vergleichsergebnis ein Stellsignal für den stromgesteuerten Oszillator 6, um dessen Schwingungsfrequenz entsprechend einzustellen. Selbstverständlich kann auch ein spannungsgesteuerter Oszillator 6 verwendet werden, wobei jedoch stromgesteuerte Oszillatoren bei niedrigen Signalpegeln vorteilhafter sind. Im eingerasteten bzw. eingeregelter Zustand des Phasenregelkreises entspricht die von dem stromgesteuerten Oszillator 6 erzeugte Taktfrequenz f_{CLK} dem Takt der mit dem Datensignal RX übertragenen Daten, so dass die Datenrekonstruktionseinheit 2 in Abhängigkeit von dieser Taktfrequenz f_{CLK} aus dem Datensignal RX die ursprünglich gesendeten Daten rekonstruieren und einen zu dem Takt f_{CLK} synchronen Datenstrom DATA ausgeben kann.

[0027] Mit dem zuvor beschriebenen Phasenregelkreis der Taktrückgewinnungseinheit 3 ist eine Detektoreinheit 7 gekoppelt, welche durch Auswertung des Ausgangssignals des stromgesteuerten Oszillators 6 feststellt, ob sich der Phasenregelkreis im eingeregelter bzw. eingerasteten Zustand befindet und davon abhängig die Einheit 5 mit der Ladungspumpe und dem Schleifenfilter entsprechend ansteuert. Darüber hinaus wird von der Detektoreinheit 7 ein Signal LOCK erzeugt, welches entsprechend über den augenblicklichen Zustand des Phasenregelkreises ("Phase Locked Loop", PLL) Auskunft gibt.

[0028] Darüber hinaus ist ein Frequenzkomparator 9 mit integrierter "Loss of Signal"-Erkennung vorgesehen, welcher das Ausgangssignal des digitalen Frequenzteilers 8 des Phasenregelkreises auswertet und dadurch eine zu starke Frequenzabweichung, die im "Loss of Signal"-Fehlerzustand auftritt, erkennen kann. Wie bereits zuvor erläutert worden ist, kann der Fall auftreten, dass der ankommende Datenstrom RX überhaupt nicht vorhanden ist bzw. keinen

ausreichenden Signalpegel aufweist oder eine lediglich ungenügende Anzahl von Datenübertragungen vorhanden ist, so dass es insgesamt zu dem zuvor beschriebenen "Loss of Signal"-Fehlerzustand kommt, welcher eine zuverlässige Taktrückgewinnung und Datenrekonstruktion unmöglich macht. Insbesondere hat dieser "Loss of Signal"-Fehlerzustand zur Folge, dass die Phase des von dem Phasenregelkreis der Taktrückgewinnungseinheit 3 erzeugten Takts wegläuft.

[0029] Daher sind Schaltungsmittel 11-15 vorgesehen, welche bei Erkennen des "Loss of Signal"-Fehlerzustands in einen als "Hold Over"-Modus bezeichneten Betrieb umschalten und sicherstellen, dass dem Phasendetektor 4 der Taktrückgewinnungseinheit 3 als Referenztakt ein Takt zugeführt wird, dessen Frequenz der über eine bestimmte Anzahl von Datenübertragungen von der Taktrückgewinnungseinheit 3 zuletzt erzeugten durchschnittlichen Taktfrequenz entspricht. Dieses von den Schaltungsmitteln 11-15 dem Phasendetektor 4 zugeführte Referenzsignal ersetzt somit das (im "Loss of Signal"-Zustand nicht vorhandene) Datensignal RX.

[0030] Die zuvor beschriebene Frequenzmittelung erfolgt über einen digitalen Phasenregelkreis 13 mit einer sehr niedrigen Eckfrequenz und einer reinen I-Reglercharakteristik. Dem digitalen Phasenregelkreis 13 ist eine externe Referenzfrequenz f_{REF} zugeführt. Der Ausgang des digitalen Phasenregelkreises 13 ist über einen steuerbaren Schalter 14 mit dem Eingang des Phasendetektors 4 der Taktrückgewinnungseinheit 3 verbunden. Umgekehrt ist ein Eingang des digitalen Phasenregelkreises 13 über einen weiteren steuerbaren Schalter 15 mit dem Ausgang des Phasenregelkreises der Taktrückgewinnungseinheit 3 gekoppelt. Im dargestellten Ausführungsbeispiel ist zwischen dem Ausgang des Phasenregelkreises der Taktrückgewinnungseinheit 3 und dem steuerbaren Schalter 15 ein Frequenzteiler 10 mit dem Teilverhältnis 1/M vorgesehen, welcher die von dem stromgesteuerten Oszillator 6 erzeugte Taktfrequenz f_{CLK} herunterteilt. Auf den Frequenzteiler 10 wird später noch näher eingegangen.

[0031] Im Normalbetrieb ist der steuerbare Schalter 14 geöffnet und der steuerbare Schalter 15 geschlossen, so dass dem digitalen Phasenregelkreis 13 bzw. dem darin implementierten I-Regler als Referenzfrequenz die über den Frequenzteiler 10 heruntergeteilte Taktfrequenz f_{CLX} der Taktrückgewinnungseinheit 3 zugeführt wird. Bei Erkennen des "Loss of Signal"-Fehlerzustands wird hingegen der steuerbare Schalter 15 geöffnet und steuerbare Schalter 14 geschlossen, so dass der digitale Phasenregelkreis 13 mit der letzten durchschnittlichen (heruntergeteilten) Taktfrequenz des Phasenregelkreises der Taktrückgewinnungseinheit 3 weiterschwingen kann, wobei die Ausgangsfrequenz des digitalen Phasenregelkreises 13 dem Phasendetektor 4 der Taktrückgewinnungseinheit 3 als neue Referenzfrequenz zugeführt ist. Die steuerbaren Schalter 14 und 15 werden somit von dem Frequenzkomparator 9 wechselseitig angesteuert, was dadurch erreicht wird, dass der Ausgang des Frequenzkomparators 9 über einen Inverter 12 den steuerbaren Schalter 15 ansteuert.

[0032] Nach Erkennen des "Loss of Signal"-Fehlerzustands und Umschalten in den zuvor erläuterten "Hold Over"-Modus tritt in der Regel ein Phasensprung von 1 Bit auf, da kein unmittelbares Umschalten möglich ist. Ein derartiger Phasensprung ist zwar nach den derzeit geltenden Übertragungsstandards zulässig, dennoch ist es vorteilhaft, wenn die Phase für den in dem digitalen Phasenregelkreis 13 implementierten I-Regler so manipuliert wird, dass der Phasensprung kompensiert werden kann, so dass am Ausgang des digitalen Phasenregelkreises 13 beim Umschalten in den

"Hold Over"-Modus tatsächlich kein derartiger Phasensprung auftritt. Dies wird bei dem mit Fig. 1 dargestellten Ausführungsbeispiel durch eine Kompensatoreinheit 11 erzielt, welche hierzu die Phase am Ausgang des Phasendetektors 4 des Phasenregelkreises der Taktrückgewinnungseinheit 3 auswertet, so dass beim Umschalten in den "Hold Over"-Modus die dabei auftretende Verzögerung berücksichtigt und entsprechend eine Phase mit geringster Phasendifferenz zum ursprünglichen Datenstrom ausgewählt werden kann.

[0033] Bei der in Fig. 1 dargestellten Gesamtschaltung handelt es sich um eine Schaltung, wie sie in Sende- und Empfangsanordnungen, d. h. in Transceiver-Bauteilen, zur Anwendung kommt. Die in Fig. 1 dargestellte Schaltung umfasst daher nicht nur die CDR-Einheit 1, welche zur Taktrückgewinnung und Datenrekonstruktion vorgesehen ist, sondern auch eine (nachfolgend der Einfachheit halber als CSU-Einheit bezeichnete) Schaltung 17 zur Generierung eines Sendetakts f_{TX} für die Übertragung von Daten in Abhängigkeit von dem von der CDR-Einheit 1 rückgewonnenen Takt f_{CLK} . Die CSU-Einheit 17 ("Clock Synthesizer Unit") weist hierzu analog zu der CDR-Einheit 1 einen in "Mixed Signal"-Schaltungstechnik ausgestalteten Phasenregelkreis 23 auf, der einen digitalen Phasendetektor 18, eine analoge Einheit 19 mit einer Ladungspumpe und einem Schleifenfilter mit Integral- und Proportionalanteil, einen analogen stromgesteuerten Oszillator 20 sowie im Rückkopplungspfad einen digitalen Frequenzteiler 22 mit dem Teilerverhältnis $1/N2$ umfasst. Im eingeregelter bzw. eingerasteten Zustand dieses Phasenregelkreises 13 wird von dem stromgesteuerten Oszillator 20 ein Sendetakt f_{TX} erzeugt, welcher dem dem digitalen Phasendetektor 18 zugeführten Referenztakt entspricht.

[0034] Insbesondere beim SONET-Übertragungsstandard ist die Sendefrequenz relativ hoch, wobei jedoch die Daten nicht mit dieser hohen Frequenz verarbeitet werden. Von der CSU-Einheit 17, welche dem Sendeabschnitt des Transceiver-Bauteils zugeordnet ist, wird daher der durch den Frequenzteiler 10 generierte niederfrequente Referenztakt auf den gewünschten Sendetakt f_{TX} hochgesetzt.

[0035] Darüber hinaus ist in Fig. 1 der bereits anhand Fig. 2 erläuterte Multiplexer 16 vorgesehen, so dass hinsichtlich der Funktionalität dieses Multiplexers 16 auf die Ausführungen zu Fig. 2 verwiesen werden kann.

Patentansprüche

1. Vorrichtung zur Rekonstruktion von Daten aus einem empfangenen Datensignal, mit einer Taktrückgewinnungseinheit (3) zur Rückgewinnung eines Takts (f_{CLK}) aus dem Datensignal (RX), wobei die Taktrückgewinnungseinheit (3) einen Phasenregelkreis, dem als Referenzsignal das empfangene Datensignal (RX) zugeführt ist und im eingeregelter Zustand den rückgewonnenen Takt (f_{CLK}) bereitstellt, aufweist, und mit einer Datenrekonstruktionseinheit (2) zur Rekonstruktion der Daten (DATA) aus dem Datensignal (RX) unter Verwendung des rückgewonnenen Takts (f_{CLK}), **dadurch gekennzeichnet**, dass eine Detektoreinheit (9) zur Erkennung eines Fehlerzustands des empfangenen Datensignals (RX), welcher keine zuverlässige Rekonstruktion der Daten daraus ermöglicht, vorgesehen ist, und dass Schaltungsmittel (11-15) vorgesehen sind, um dem Phasenregelkreis der Taktrückgewinnungseinheit (3) bei Erkennen des Fehlerzustands als Referenzsignal ein Signal zuzuführen, dessen Takt dem über eine be-

stimmte Anzahl von vorhergehenden Datenübertragungen mittleren rückgewonnenen Takt der Taktrückgewinnungseinheit (3) entspricht.

2. Vorrichtung nach Anspruch 1, dadurch gekennzeichnet, dass die Detektoreinheit (9) mit dem Phasenregelkreis der Taktrückgewinnungseinheit (3) gekoppelt ist.

3. Vorrichtung nach Anspruch 2, dadurch gekennzeichnet, dass die Detektoreinheit (9) ein Frequenzkomparator mit einer integrierten Fehlerzustandserkennung ist.

4. Vorrichtung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Detektoreinheit (9) zur Erkennung des Fehlerzustands ein Ausgangssignal eines Frequenzteilers (8) des Phasenregelkreises der Taktrückgewinnungseinheit (3) auswertet.

5. Vorrichtung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Schaltungsmittel einen digitalen Phasenregelkreis (13) zur Erzeugung des Signals mit dem mittleren rückgewonnenen Takt als Referenzsignal für den Phasenregelkreis der Taktrückgewinnungseinheit (3) umfassen, wobei dem digitalen Phasenregelkreis (13) als Referenzsignal ein aus dem rückgewonnenen Takt (f_{CLK}) der Taktrückgewinnungseinheit (3) abgeleitetes Signal zugeführt ist.

6. Vorrichtung nach Anspruch 5, dadurch gekennzeichnet, dass der digitale Phasenregelkreis (13) eine reine I-Reglercharakteristik aufweist.

7. Vorrichtung nach Anspruch 5 oder 6, dadurch gekennzeichnet, dass ein Ausgang des Phasenregelkreises (13) über einen ersten steuerbaren Schalter (14) mit einem Eingang des Phasenregelkreises der Taktrückgewinnungseinheit (3) verbunden ist, während ein Eingang des digitalen Phasenregelkreises (13) über einen zweiten steuerbaren Schalter (15) mit einem Ausgang des Phasenregelkreises der Taktrückgewinnungseinheit (3) gekoppelt ist, wobei von der Detektoreinheit (9) in einem Normalzustand der erste steuerbare Schalter (14) geöffnet und der zweite steuerbare Schalter (15) geschlossen wird, während von der Detektoreinheit (9) nach Erkennen des Fehlerzustands der erste steuerbare Schalter (14) geschlossen und der zweite steuerbare Schalter (15) geöffnet wird.

8. Vorrichtung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Schaltungsmittel Kompensationsmittel (11) zur Kompensation von Phasensprüngen nach Erkennung des Fehlerzustands bei einem Wechsel zu dem Signal mit dem mittleren gewonnenen Takt als Referenzsignal für den Phasenregelkreis der Taktrückgewinnungseinheit (3) umfassen.

9. Vorrichtung nach Anspruch 8, dadurch gekennzeichnet, dass die Kompensationsmittel (11) ein Ausgangssignal eines Phasendetektors (4) des Phasenregelkreises der Taktrückgewinnungseinheit (3) zur Kompensation von Phasensprüngen auswerten.

10. Vorrichtung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass der Phasenregelkreis der Taktrückgewinnungseinheit (3) einen digitalen Phasendetektor (4), einen über einen Ausgang des digitalen Phasendetektors (4) angesteuerten analogen Oszillator (6) und einen in einem Rückkopplungspfad des Phasenregelkreises angeordneten digitalen Frequenzteiler (8) umfasst.

11. Vorrichtung nach Anspruch 10, dadurch gekennzeichnet, dass der Phasenregelkreis der Taktrückgewinnungseinheit (3) eine zwischen dem digitalen Phasendetektor (4) und dem analogen Oszillator (6) ange-

ordnete analoge Einheit (5) mit einer Landungspumpe und einem Schleifenfilter mit Integral- und Proportionalanteil aufweist.

12. Vorrichtung nach Anspruch 10 oder 11, dadurch gekennzeichnet, dass der analoge Oszillator (6) des Phasenregelkreises der Taktrückgewinnungseinheit (3) ein stromgesteuerter Oszillator ist.

13. Sende- und Empfangsanordnung zum Senden und Empfangen von Datensignalen über eine Übertragungsstrecke, mit einer Empfangseinheit, welche eine Vorrichtung zur Rekonstruktion von Daten aus einem empfangenen Datensignal (RX) nach einem der Ansprüche 1–12 aufweist, und mit einer Sendeeinheit, welche eine Taktgenerierungseinheit (17) zur Erzeugung eines Sendetakts (f_{TX}) für ein zu sendendes Datensignal in Abhängigkeit von dem von der Taktrückgewinnungseinheit (3) rückgewonnenen Takt (f_{CLK}) aufweist.

14. Sende- und Empfangsanordnung nach Anspruch 13, dadurch gekennzeichnet, dass der von der Taktrückgewinnungseinheit (3) rückgewonnene Takt (f_{CLK}) über einen Frequenzteiler (10) der Taktgenerierungseinheit (17) als ein Referenztakt zugeführt ist.

15. Sende- und Empfangsanordnung nach Anspruch 13 oder 14, dadurch gekennzeichnet, dass die Sende- und Empfangsanordnung zur optischen Datenübertragung ausgestaltet ist.

Hierzu 1 Seite(n) Zeichnungen

30

35

40

45

50

55

60

65

- Leerseite -

FIG 1

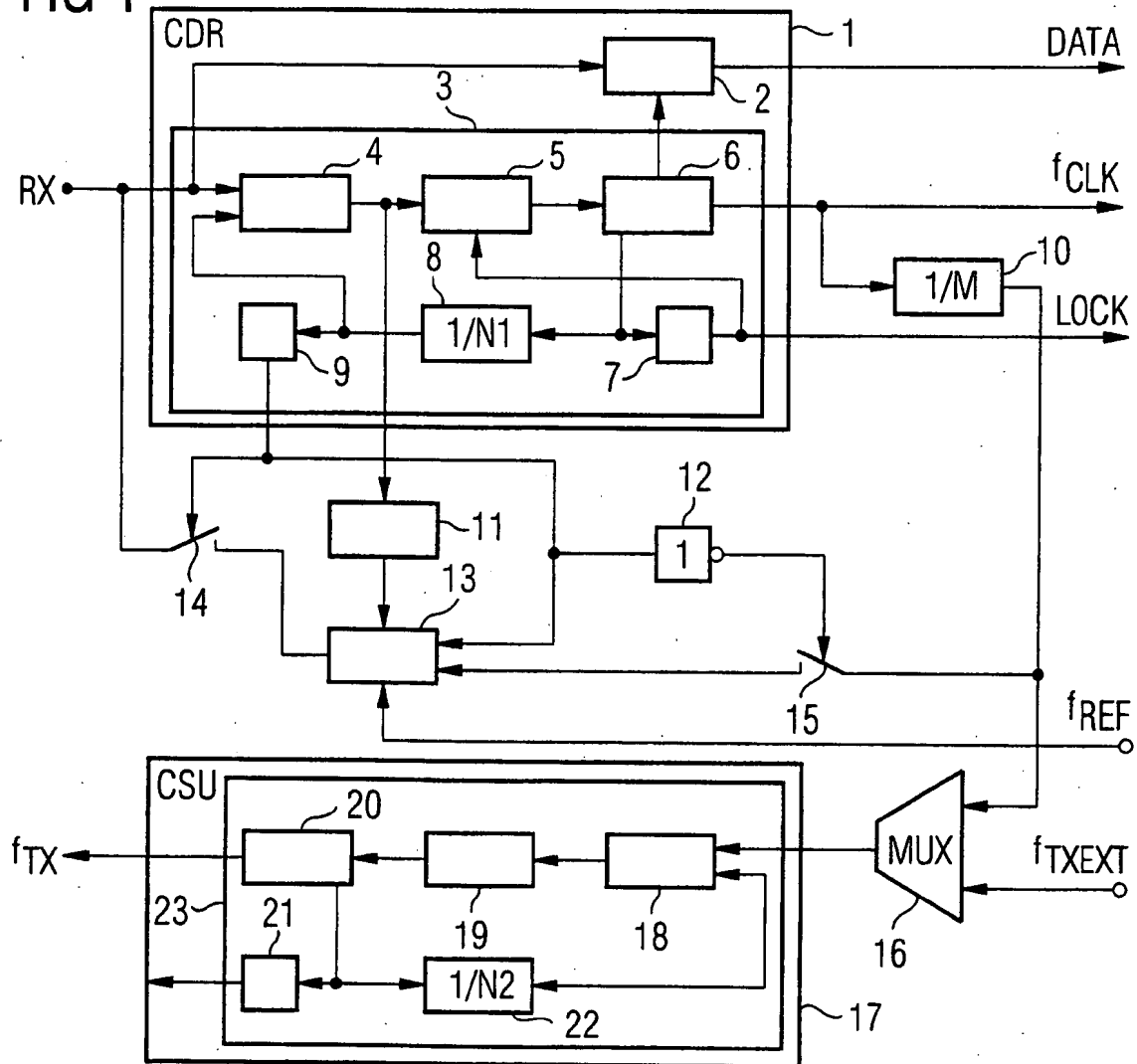


FIG 2

(Stand der Technik)

